

(54) CLOCK GENERATING CIRCUIT AND INFORMATION PROCESSOR WITH THE SAME

(11) 4-37219 (A) (43) 7.2.1992 (19) JP

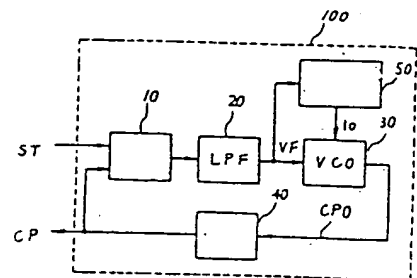
(21) Appl. No. 2-141399 (22) 1.6.1990

(71) HITACHI LTD (72) HIDEO SATO(3)

(51) Int. Cl. H03L7/093, G06F1/10

PURPOSE: To synchronize the frequency range of a synchronous clock signal with the frequency of a timing signal by providing a free-running frequency control means receiving the output signal of a loop filter means and controlling the free-running oscillating frequency of a voltage controlled oscillator means.

CONSTITUTION: When the frequency of a timing signal gets higher than a synchronizing clock signal, the output of a loop filter means 20 is increased higher. Moreover, when the output of a loop filter means 20 gets higher, the oscillating frequency of the free-running frequency control means 50 is changed so that the center frequency gets higher. Thus, when the frequency of a timing signal gets higher, the frequency range of the synchronous clock signal of a clock generating circuit 40 is changed higher. Thus, the frequency range of the synchronous clock signal is changed in response to the frequency of the timing signal and the circuit is synchronously with the timing signal with a wide frequency.



ST: timing signal. CP: synchronous clock signal 10: phase comparator 40: frequency divider

E4051

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-37219

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月7日

H 03 L 7/093
G 06 F 1/109182-5 J H 03 L 7/08 E
7368-5 B G 06 F 1/04 330 A

審査請求 未請求 請求項の数 5 (全9頁)

⑭ 発明の名称 クロック発生回路及び本回路を用いた情報処理装置

⑯ 特 願 平2-141399

⑰ 出 願 平2(1990)6月1日

⑱ 発 明 者 佐 藤 秀 夫 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

⑱ 発 明 者 加 藤 和 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

⑱ 発 明 者 堀 田 多 加 志 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

⑱ 発 明 者 村 林 文 夫 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

クロック発生回路及び本回路を用いた情報処理
装置

2. 特許請求の範囲

1. 2つの入力信号の位相差に応じた信号を出力する位相比較手段と、該位相比較手段の出力信号を入力し伝達特性を制御するループフィルタ手段と、該ループフィルタ手段の出力信号に応じた周波数の信号を発生する電圧制御発振手段とを有し、該発振手段の出力信号に基づいたクロック信号を出力信号するとともに、該クロック信号と外部から与えられるタイミング信号とを前記位相比較手段に入力してなるクロック発生回路において、前記ループフィルタ手段の出力信号を入力とし、前記電圧制御発振手段の自走発振周波数を制御させる自走周波数制御手段を設けたことを特徴とするクロック発生回路。
2. 2つの入力信号の位相差に応じた信号を出力する位相比較手段と、該位相比較手段の出力信

号を入力し伝達特性を制御するループフィルタ手段と、該ループフィルタ手段の出力信号に応じた周波数の信号を発生する電圧制御発振手段と、該発振手段の出力信号に基づいたクロック信号を複数のクロック信号に分配する分配手段と、前記ループフィルタ手段の出力信号を入力とし、前記電圧制御発振手段の自走発振周波数を制御させる自走周波数制御手段を有し、前記分配手段から出力されるクロック信号と外部から与えられるタイミング信号とを前記位相比較手段に入力してなるクロック発生回路。

3. 特許請求の範囲第1項又は第2項において、前記自走周波数制御手段を前記ループフィルタ手段の出力信号を積分する積分手段と、該積分手段の出力を前記電圧制御発振手段の自走発振周波数を制御する信号に変換する信号変換手段で構成したことを特徴とするクロック発生回路。
4. 特許請求の範囲第1項又は第2項において、前記ループフィルタ手段を伝達特性が1次遅れとなる遅れ要素手段と、周波数変化に対し一定

ング信号と同期クロック信号との位相同期と周波数の一致を実現している。しかし、同期クロック信号の周波数範囲はVCO30の発振周波数可変範囲で制限されるので周波数範囲を広くするにはVCOの利得を大きくしなければならない。一方、クロックスキューを低減するには、VCOの利得又はLPFの広域利得を小さくすることでPLLの一巡ループ利得を小さくしなければならない。このように、同期クロック信号の周波数範囲拡大と、クロックスキューの低減はVCOの利得だけでは両立できない。前記アイイーイーイージャーナルオブソリッドステート、サーキット、エスシー22、ナンバー2(1987年)第255頁から第261頁に示されているクロック発生回路では、LPFの広域利得を小さくして両立を図っている。ここで、広域利得を小さくするとLPFの時定数が小さくなりPLLが不安定になるため、0.1 μ Fの外部コンデンサを用いて時定数を確保していた。このように、コンデンサを外付けにすると、リードピンを介してノイズ

ック信号よりも高くなると、ループフィルタ手段の出力を高い方に变化させる。また、自走周波数制御手段は、ループフィルタ手段の出力が高くなると電圧制御発振手段の発振する中心周波数を高いほうに変化させる。それらによつて、タイミング信号の周波数が高くなると、クロック発生回路の同期クロック信号の周波数範囲も周波数の高いほうに変化させる。逆に、タイミング信号の周波数が低くなると、同期クロック信号の周波数範囲を周波数の低いほうに変化させる。このように、自走周波数制御手段を有するクロック発生回路はタイミング信号の周波数に応じて同期クロック信号の周波数範囲が变化されるので広い周波数のタイミング信号に同期できる。

さらに、動作周波数範囲は自走周波数制御手段により確保できるので、VCOの利得を小さくして同期クロック信号のスキューを低減できる。

〔実施例〕

以下、本発明の一実施例を図面を用いて説明する。第1図は本発明の第1の実施例のブロック構

が入り同期クロック信号のスキューが大きくなる問題があつた。

本発明の目的は、広い範囲で周波数が变化する外部入力タイミング信号に追従して動作し、小さなクロックスキューの同期クロック信号を発生するクロック発生回路を提供することにある。

〔課題を解決するための手段〕

上記目的は、位相比較手段と該位相比較手段の出力を平滑するループフィルタ手段と該ループフィルタ手段の出力レベルに応じた周波数信号を発生する電圧制御発振手段を有し、該発振周波数信号の位相と外部から入力されるタイミング信号とを前記位相比較手段に入力し、該タイミング信号に同期した同期クロック信号を出力する構成のクロック発生回路において、前記ローパスフィルタ手段の出力を入力とし前記電圧制御発振手段の自走周波数を变化させる自走周波数制御手段を設けることで達成している。

〔作用〕

PLLは、タイミング信号の周波数が同期クロ

成を示す。図示のように本実施例は、PLLを用いたクロック発生回路100であり、第2図の従来例と同一符号のものは同一の機能・構成を有する部分である。図において第2図の従来例と異なるところは、ループフィルタの出力信号VFを入力とし、その電圧に応じてVCO30の発振する中心周波数を变化させる自走周波数制御回路50が設けられていることである。

この制御回路50は、LPF20の出力でVCO30の発振する中心周波数を变化させる信号I_oを出力する。タイミング信号STの周波数が同期クロック信号CPよりも高くなると、PLLはLPF20の出力を高い方に变化させる。この変化により、制御回路50は、VCO30の発振する中心周波数を高い方に变化させる信号I_oを出力する。逆に、タイミング信号の周波数が低くなると、VCO30の中心周波数を低い方に变化させる。

この動作を第3図に示すVCOの特性図で説明する。この特性はVCOの入力電圧VFと出力信

相当する信号を出力する。タイミング信号STと位相が同期クロック信号CPの立ち上がりが一致したときが同期状態であり、図中(C)で示すようにいずれの出力にも変化がない。

すなわち、本実施例では、タイミング信号STと同期クロック信号CPとの位相差をPU、PDのパルス幅に変換して出力している。

第7図にループフィルタ20の一実施例を示す。本実施例はインバータゲート回路201、202、212、206と、MOSTランジスタ204、205、207、208、210、213、214、221~224と、抵抗203、215~216、コンデンサ211で構成している。ここで、MOSTランジスタ204、205、210及び207、208はそれぞれカレントミラー回路を構成し、抵抗203で決定される定電流をMOSTランジスタ211~224で構成する電流スイッチに供給されている。この電流スイッチは位相比較器10の出力信号PU、PDと、それらをインバータゲート201、202で反転した信号で差動で

駆動している。このため、カレントミラーの出力であるMOSTランジスタ208及び210のドレイン電流の変化がなく、高速な電流スイッチが可能となる。又、入出力を接続したインバータゲート206はダミースイッチのMOSTランジスタ221と223のドレインにバイアスを与えるものであり、本回路により、差動MOSTスイッチ、211~214のドレイン電圧が等しくなるので、寄生容量チャージシェアが小さく、精度良く電流切替ができる。このように、高速でかつ精度良くスイッチングされた電流をコンデンサに流すことができるので、出力電圧VFCは正確な入力位相の積分値となる。

一方、MOSTランジスタ213、抵抗215~217、インバータゲート212は位相比較器10の出力信号PU、PDで動作し、その出力VFRはPU、PDが共に“0”のとき、電源電圧VDDを抵抗216と217で分圧した電圧となり、PU又はPDのいずれかが“1”になるとMOSTランジスタ213又は214がON状態

となり、出力電圧VFRをAVだけ正又は負に変化する。この変化する時間は前記PU、PDのパルス幅と等しいので、この変化電圧の平値はクロック発生回路10の入力位相差と比例する。

以上の動作により、本実施例のタイミング20は入力位相に比例した電圧VFRと入力位相の積分値に比例した電圧VFCを発生している。

第8図に電圧制御発振器30の一実施例を示す。本実施例はMOSTランジスタ302~310、314、316、319、322、バイポーラトランジスタ311、312、317、318、ダイオード313、315、抵抗301、コンデンサ325、インバータ323で構成している。ここで、トランジスタ302~307と抵抗301は入力電圧であるVFCとVFRの電圧差を電流I₀に変換し、MOSTランジスタ305と307のドレインから出力する。また、MOSTランジスタ308~309、314、316と、バイポーラトランジスタ311、312、317、318、ダイオード313、315、コンデンサ325は、

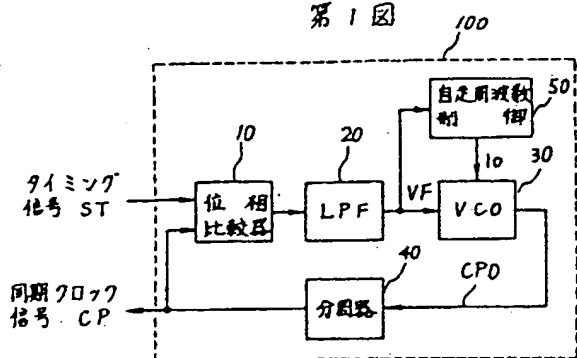
電流制御発振回路を構成し、この発振周波数はMOSTランジスタ308のドレインの電流で制御できる。この発振周波数f₀は、コンデンサ325の容量をC₀、ダイオード313、315の順方向電圧をV_{BE}とし、MOSTランジスタ308~310のサイズが等しいとすると、次式で示される。

$$f_0 = \frac{I_0 + I_1}{4 C_0 V_{BE}} \quad \dots (1)$$

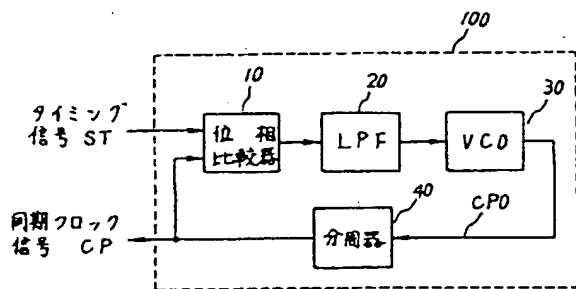
また、MOSTランジスタ319~322とインバータゲート回路323は前記電流制御発振器の差動出力を0~VDDのCMOSレベルの信号に変換する回路である。(1)式で示されるように、本実施例の電圧制御発振回路は自走周波数制御回路からの制御電流I₀で発振周波数の中心を変えることができる。

第9図に分周器40の一実施例を示す。本実施例は、クロックドインバータゲート回路402、404、412、414とインバータゲート回路403、413による帰還形ラッチ回路401、

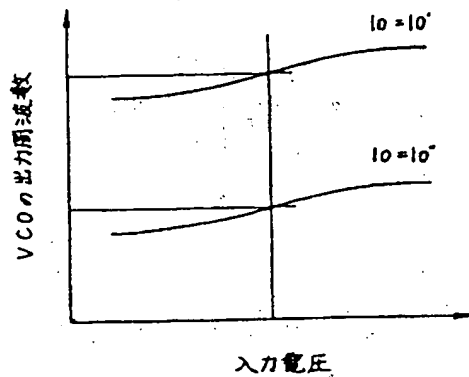
第1図



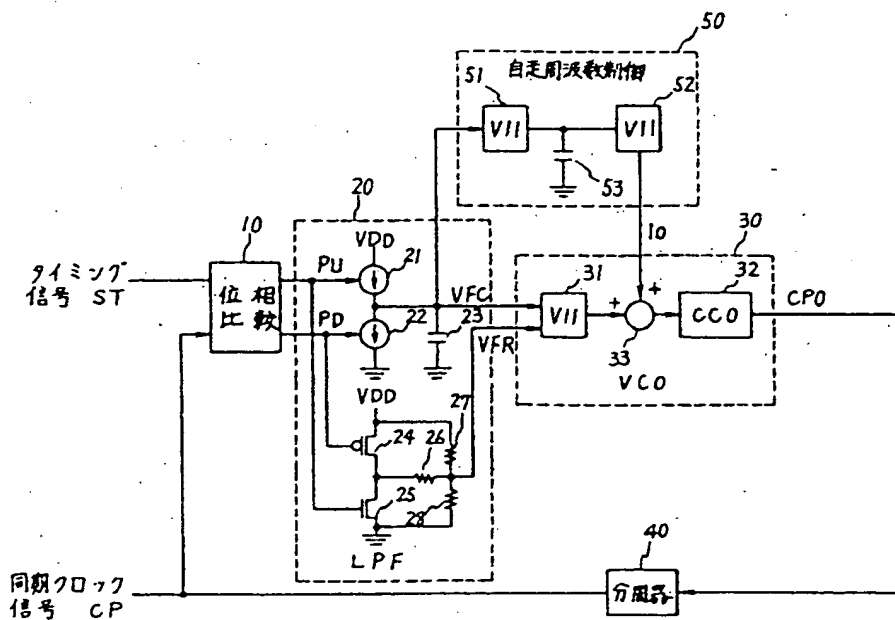
第2図



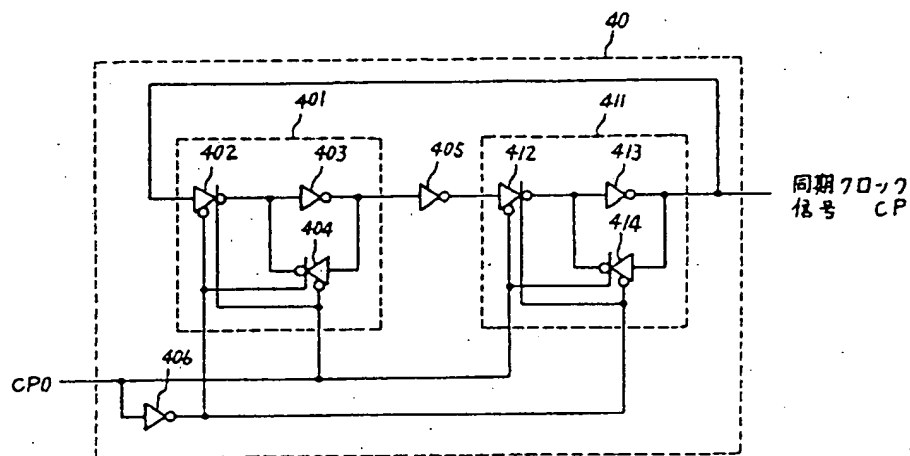
第3図



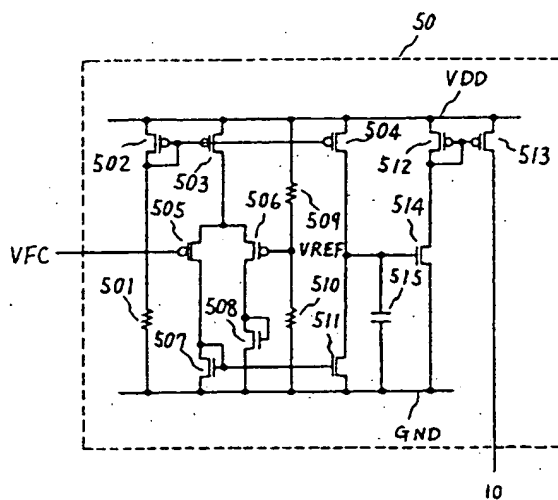
第4図



第9図



第10図



第11図

